

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002185011 A**(43) Date of publication of application: **28.06.02**

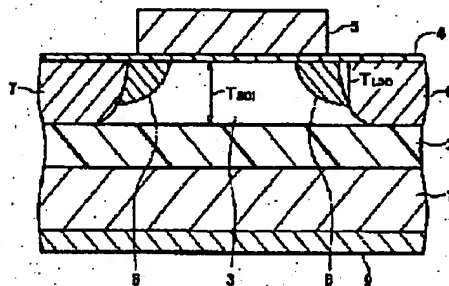
(51) Int. Cl.

H01L 29/786**H01L 27/08**(21) Application number: **2000385530**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **19.12.00**(72) Inventor: **HOUGIYOKU MITSURU****(54) SEMICONDUCTOR DEVICE****(57) Abstract**

PROBLEM TO BE SOLVED: To provide a semiconductor device, wherein the problem of duty cycle dependency of an input signal which is shown in inverter delay time is canceled.

SOLUTION: This semiconductor device is used in a CMOS Inverter circuit and provided with a BOX layer 2 formed on a silicon substrate 1, an SOI film 3 which is formed on the BOX layer and composed of single crystal Si, a gate oxide film 4 formed on the SOI film 3, a gate electrode 5 formed on the gate oxide film, and diffusion layers 7, 8 of a source/drain region, which are formed in the source/drain region of the SOI film 3. In the case where a power source voltage of 0.6 V is used, the thickness T_{SOI} of the SOI film 3 is at least $0.084 \mu\text{m}$ and at most $0.094 \mu\text{m}$, and the impurity concentration of the SOI film 3 is at least $7.95 \times 10^{17}/\text{cm}^3$ and at most $8.05 \times 10^{17}/\text{cm}^3$.

COPYRIGHT: (C)2002 JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-185011
(P2002-185011A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl. ⁷	識別記号	F I	7-71-1 [*] (参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 E 5 F 0 4 8
27/08	3 3 1	29/78	6 1 3 A 5 F 1 1 0
			6 1 8 F
			6 1 8 C

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号 特願2000-385530 (P2000-385530)

(22) 出願日 平成12年12月19日 (2000. 12. 19)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 宝 玉 充

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム(参考) 5F048 AB04 AC04 BA16 BC06

5F110 AA15 BB04 CC02 DD05 DD13

EE30 FF02 GG02 GG12 GG25

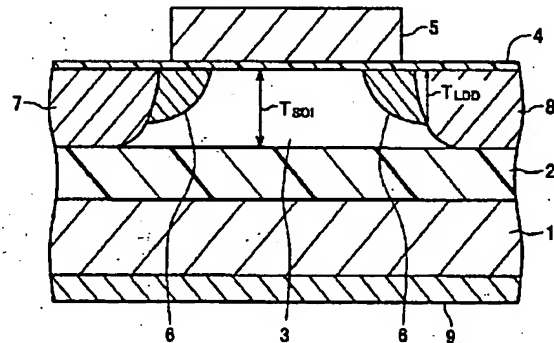
GG28 GG29 GG34 HM15

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 インバータ遅延時間に見られる入力信号のデューティ・サイクル依存性の問題を解消した半導体装置を提供する。

【解決手段】 本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、シリコン基板1上に形成されたBOX層2と、このBOX層上に形成された単結晶SiからなるSOI膜3と、このSOI膜3上に形成されたゲート酸化膜4と、このゲート酸化膜上に形成されたゲート電極5と、SOI膜3のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層7、8と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜3の厚さ T_{SOI} が $0.084\mu m$ 以上 $0.094\mu m$ 以下であり、上記SOI膜3の不純物濃度が $7.95 \times 10^{17}/cm^3$ 以上 $8.05 \times 10^{17}/cm^3$ 以下である。



【特許請求の範囲】

【請求項1】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.6Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.084\mu\text{m}$ 以上 $0.094\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17}/\text{cm}^3$ 以上 $8.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項2】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.6Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.089\mu\text{m}$ 以上 $0.099\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17}/\text{cm}^3$ 以上 $9.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項3】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.6Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.093\mu\text{m}$ 以上 $0.103\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18}/\text{cm}^3$ 以上 $1.005 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項4】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.6Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.096\mu\text{m}$ 以上 $0.106\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18}/\text{cm}^3$ 以上 $1.105 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項5】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.6Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.100\mu\text{m}$ 以上 $0.110\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18}/\text{cm}^3$ 以上 $1.205 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項6】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.8Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.068\mu\text{m}$ 以上 $0.078\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17}/\text{cm}^3$ 以上 $8.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項7】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.8Vの電源電圧を用いた場合、
上記SOI膜の厚さが $0.074\mu\text{m}$ 以上 $0.084\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17}/\text{cm}^3$ 以上 $9.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項8】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、
この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.8Vの電源電圧を用いた場合、
上記SOI膜の厚さが $0.078\mu\text{m}$ 以上 $0.088\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18}/\text{cm}^3$ 以上 $1.005 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項9】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.8Vの電源電圧を用いた場合、
上記SOI膜の厚さが $0.083\mu\text{m}$ 以上 $0.093\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18}/\text{cm}^3$ 以上 $1.105 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項10】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

0.8Vの電源電圧を用いた場合、
上記SOI膜の厚さが $0.087\mu\text{m}$ 以上 $0.097\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18}/\text{cm}^3$ 以上 $1.205 \times 10^{18}/\text{cm}^3$

以下であることを特徴とする半導体装置。

【請求項11】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

1.0Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.057\mu\text{m}$ 以上 $0.067\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17}/\text{cm}^3$ 以上 $8.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項12】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

1.0Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.063\mu\text{m}$ 以上 $0.073\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17}/\text{cm}^3$ 以上 $9.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項13】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、

を具備し、

1.0Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.068\mu\text{m}$ 以上 $0.078\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18}/\text{cm}^3$ 以上 $1.005 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項14】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜

と、
このSOI膜上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極と、
SOI膜のソース/ドレイン領域に形成されたソース/
ドレイン領域の拡散層と、

を具備し、

1. 0Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.072\mu\text{m}$ 以上 $0.082\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18}/\text{cm}^3$ 以上 $1.105 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項15】 CMOSインバータ回路に用いる半導体装置であって、

半導体基板上に形成された絶縁膜と、

この絶縁膜上に形成された単結晶SiからなるSOI膜と、

このSOI膜上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

SOI膜のソース/ドレイン領域に形成されたソース/
ドレイン領域の拡散層と、

を具備し、

1. 0Vの電源電圧を用いた場合、

上記SOI膜の厚さが $0.076\mu\text{m}$ 以上 $0.086\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18}/\text{cm}^3$ 以上 $1.205 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ボディー浮遊操作の部分空乏型SOI-CMOSFETを用いたCMOSインバータ回路に適用する半導体装置に関する。

【0002】

【従来の技術】以下、従来の半導体装置について説明する。従来の半導体装置としては、部分空乏型SOI (Silicon On Insulator)-CMOSFETを用いたCMOSインバータ回路が挙げられる。しかし、このCMOSインバータ回路には、インバータ遅延時間に見られる基板浮遊効果に由来する入力信号のデューティ・サイクル依存性の問題がある。

【0003】この問題を解決する方法として、次の3つの半導体装置が考えられる。第1の半導体装置としては、基板浮遊効果が見られない完全空乏型SOI-CMOSFETを用いることである。また、第2の半導体装置としては、基板浮遊効果を抑制するために、ボディーに端子を設け、その電位をソース電位に固定するというボディー・タイド・トゥー・ソース操作を行った半導体装置を用いることである。また、第3の半導体装置としては、基板浮遊効果を抑制するために、ボディーに端子を設け、その電位をゲート電位に固定するというボディー・タイド・トゥー・ゲート操作を行った半導体装置を用いることである。

【0004】

【発明が解決しようとする課題】しかしながら、第1の半導体装置を用いた場合は、短チャネル効果（閾値電圧の低下及びサブスレッショルド係数の増加）を抑制するために、SOI層を極端に薄膜化する必要がある。このようなSOI層の薄膜化を制御することは非常に困難であり、またSOI層の極端な薄膜化に伴って電気特性の制御性が悪くなると共に、ソース/ドレイン領域の接触抵抗が増大するという問題が発生する。従って、第1の半導体装置を用いることは得策ではない。

【0005】また、第2の半導体装置を用いた場合は、ボディーに端子を設ける必要があるため、一素子当りの面積が増加するという問題が発生する。従って、第2の半導体装置を用いることも決して得策ではない。

【0006】また、第3の半導体装置を用いた場合は、一素子当りの面積が増加するだけでなく、ゲート容量も増加してしまう。従って、第3の半導体装置を用いることも必ずしも得策とは言えない。

【0007】以上の事から結局のところ、ボディー浮遊操作の部分空乏型SOI-CMOSFETを用いて、インバータ遅延時間に見られる基板浮遊効果に由来する入力信号のデューティ・サイクル依存性の問題を解決することが求められる。

【0008】本発明は上記のような事情を考慮してなされたものであり、その目的は、デューティ・サイクル依存性の問題を解消した半導体装置を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.084\mu\text{m}$ 以上 $0.094\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17}/\text{cm}^3$ 以上 $8.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする。

【0010】上記半導体装置によれば、SOI膜の膜厚、SOI膜の不純物濃度、電源電圧を調整することにより、OUT-HIGH (IN-LOW) 状態及びOUT-LOW (IN-HIGH) 状態の両バイアス条件における定常状態のボディー多数キャリアの総量がほぼ等しくなるように制御する。同制御によって、インバータ遅延時間に見られる入力信号のデューティ・サイクル依存性の問題が解消されることは、文献：A Wei et al., "Minimizing Floating Body-Induced Threshold Voltage Variation in Partially Depleted SOI CMOS Inverters" から知られる。

y Depleted SOI CMOS," IEEE Electron Device Lett., vol. 17, p. 391, Aug. 1996. に詳しく論じられている。

【0011】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜の厚さが0.089 μ m以上0.099 μ m以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17} / \text{cm}^3$ 以上 $9.05 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする。

【0012】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜の厚さが0.093 μ m以上0.103 μ m以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18} / \text{cm}^3$ 以上 $1.005 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0013】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜の厚さが0.096 μ m以上0.106 μ m以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18} / \text{cm}^3$ 以上 $1.105 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0014】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.6Vの電源電圧を用いた場合、上記SOI膜の厚さが0.100 μ m以上0.110 μ m以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18} / \text{cm}^3$ 以上 $1.205 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0015】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.8Vの電源電圧を用いた場合、上記SOI膜の厚さが0.068 μ m以上0.078 μ m以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17} / \text{cm}^3$ 以上 $8.05 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする。

【0016】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.8Vの電源電圧を用いた場合、上記SOI膜の厚さが0.074 μ m以上0.084 μ m以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17} / \text{cm}^3$ 以上 $9.05 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする。

【0017】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.8Vの電源電圧を用いた場合、上記SOI膜の厚さが0.078 μ m以上0.088 μ m以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18} / \text{cm}^3$ 以上 $1.005 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0018】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.8Vの電源電圧を用いた場合、上記SOI膜の厚さが0.083 μ m以上0.093 μ m以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18} / \text{cm}^3$ 以上 $1.105 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0019】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上

に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、0.8Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.087\mu\text{m}$ 以上 $0.097\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18}/\text{cm}^3$ 以上 $1.205 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする。

【0020】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、1.0Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.057\mu\text{m}$ 以上 $0.067\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $7.95 \times 10^{17}/\text{cm}^3$ 以上 $8.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする。

【0021】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、1.0Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.063\mu\text{m}$ 以上 $0.073\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $8.95 \times 10^{17}/\text{cm}^3$ 以上 $9.05 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする。

【0022】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、1.0Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.068\mu\text{m}$ 以上 $0.078\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $0.095 \times 10^{18}/\text{cm}^3$ 以上 $1.005 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする。

【0023】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成され

たゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、1.0Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.072\mu\text{m}$ 以上 $0.082\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.095 \times 10^{18}/\text{cm}^3$ 以上 $1.105 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする。

【0024】本発明に係る半導体装置は、CMOSインバータ回路に用いる半導体装置であって、半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された単結晶SiからなるSOI膜と、このSOI膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、SOI膜のソース/ドレイン領域に形成されたソース/ドレイン領域の拡散層と、を具備し、1.0Vの電源電圧を用いた場合、上記SOI膜の厚さが $0.076\mu\text{m}$ 以上 $0.086\mu\text{m}$ 以下であり、上記SOI膜の不純物濃度が $1.195 \times 10^{18}/\text{cm}^3$ 以上 $1.205 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明の実施の形態による半導体装置を示す断面図である。この半導体装置は、CMOSインバータ回路に用いる部分空乏型SOI-CMOSFETである。

【0026】半導体装置はシリコン基板1を有し、このシリコン基板1上にはBOX層(絶縁膜)2が形成されている。このBOX層2上には厚さ T_{SOI} の単結晶SiからなるSOI膜(ボディー)3が形成されている。このSOI膜3上にはゲート酸化膜4が形成されており、このゲート酸化膜4上にはゲート電極5が形成されている。SOI膜3において、LDD(lightly doped drain)領域には低濃度の不純物拡散層6が形成されており、ソース/ドレイン領域にはソース/ドレイン領域の拡散層7、8が形成されている。また、シリコン基板1下にはバックゲート電極9が形成されている。

【0027】上記部分空乏型SOI-CMOSFETを用いて、インバータ遅延時間に見られる基板浮遊効果に由来する入力信号のデューティ・サイクル依存性の問題を解決する方法としては、SOI膜の膜厚、SOI膜(ボディー)の不純物濃度分布、電源電圧Vddを調整することにより、OUT-HIGH(IN-LOW)状態及びOUT-LOW(IN-HIGH)状態の両バイアス条件における定常状態のボディー多数キャリアの総量がほぼ等しくなるように制御する方法を採用する。同制御によって、インバータ遅延時間に見られる入力信号のデューティ・サイクル依存性の問題が解消されることは、文献:A Wei et al., "Minimizing Floating Body-Induced Threshold Voltage Variation in Partially Depleted SOI-CMOS," IEEE

Electron Device Lett., vol.17,p.391,Aug.1996.に詳しく論じられている。

【0028】次に、SOI膜の膜厚、SOI膜(ボディー)の不純物濃度分布、電源電圧V_{dd}それぞれの具体的な調整について説明する。

【0029】2次元デバイス解析により、インパタ遅延時間に見られる入力信号のデューティ・サイクル依存性に関して、SOI膜の厚みを最適化するシミュレーションを行った。

【0030】2次元デバイス解析に用いた部分空乏型SOI-MOSFETの構造パラメータは以下の通りである。

ゲート長: 0.18 μm

ゲート側壁幅: 0.07 μm

ソース/ドレイン/LDDの不純物拡散長: 0.04 μm

SOIの厚み T_{SOI} : 0.06 μm , 0.065 μm , 0.07 μm , 0.075 μm , 0.08 μm , 0.085 μm , 0.09 μm , 0.095 μm , 0.1 μm , 0.105 μm , 0.11 μm , 0.115 μm , 又は、0.12

ゲート酸化膜の厚み: 0.004 μm

BOX層(埋込み酸化膜)の厚み: 0.4 μm

シリコン基板の厚み: 0.4 μm

LDDの接合深さ T_{LDD} : 0.07 μm

ボディーの不純物濃度(空間的に均一に分布しているものとする): $8 \times 10^{17} / \text{cm}^3$, $9 \times 10^{17} / \text{cm}^3$, $1 \times 10^{18} / \text{cm}^3$, $1.1 \times 10^{18} / \text{cm}^3$, $1.2 \times 10^{18} / \text{cm}^3$

ソース/ドレイン領域の不純物濃度の最大値: $5 \times 10^{20} / \text{cm}^3$

LDDの不純物濃度の最大値: $1 \times 10^{19} / \text{cm}^3$

シリコン基板の不純物濃度: $5 \times 10^{14} / \text{cm}^3$

なお、電源電圧V_{dd}は0.6V、0.8V、1.0Vの3通りを想定した。ゲート電極の仕事関数はn+ポリシリコンを想定して4.17Vとした。

【0031】解析はキャリアの流れを電場に比例するドリフト項と濃度勾配に比例する拡散項の和で表すドリフト-拡散模型に依った。電子・正孔の両キャリアをあらわに取扱い、Auger再結合に併せて、不純物濃度に依存するSRH(Shockley-Read Hall)再結合及びバンドギャップ狭まり効果を考慮した。SRH再結合のパラメータはデフォルト値: $\tau_n = \tau_p = 0.1 \mu\text{sec}$ を用いた。キャリア濃度はBoltzmann統計で評価した。不純物は全てイオン化しているものとした。尚、低電源電圧を想定してインパクト・イオン化及びバンド間トンネリングは考慮しなかった。また、キャリアエネルギー釣り合い方程式及び格子熱流方程式は考慮しなかった。

【0032】次に、2次元デバイス解析結果について説

明する。OUT-HIGH及びOUT-LOWの両状態を同一条件におけ

る定常状態のボディー多数キャリアの総量を計算した。尚、デバイス解析は2次元で行っており、ボディー多数キャリアの総量はチャネル幅:wで規格化したものとなっている(単位は1/ μm)。計算結果を図2~図4に示す。

【0033】図2は、電源電圧を0.6Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

【0034】参照符号11は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号12は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号13は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号14は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号15は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号16は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号17は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号18は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号19は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号20は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。

【0035】図3は、電源電圧を0.8Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

【0036】参照符号21は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号22は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号23は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号24は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号25は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号26は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号27は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号28は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号29は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号30は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。

【0037】図4は、電源電圧を1.0Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

一の不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

【0038】参照符号31は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号32は、ボディーの不純物濃度が $8 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号33は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号34は、ボディーの不純物濃度が $9 \times 10^{17} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号35は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号36は、ボディーの不純物濃度が $1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号37は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号38は、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。参照符号39は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-HIGH状態のものである。参照符号40は、ボディーの不純物濃度が $1.2 \times 10^{18} / \text{cm}^3$ でOUT-LOW状態のものである。

【0039】図2～図4において、同一のボディー部の不純物濃度におけるOUT-HIGH状態とOUT-LOW状態のグラフが互いに重なった点が多数キャリア量が等しくなるところであり、その点がインバート遅延時間に見られる入力信号のデューティ・サイクル依存性の問題を回避できるSOI膜の最適な膜厚と言える。この膜厚とボディーの不純物濃度との関係を図5に示す。

【0040】図5は、図2～図4の結果を線形補間することに依って得られた種々のボディーの不純物濃度及び電源電圧に対するSOI膜の厚みの最適値を示すグラフである。

【0041】参照符号41は、電源電圧が1.0Vの場合のボディーの不純物濃度とSOI膜の最適膜厚の関係を示すものである。参照符号42は、電源電圧が0.8Vの場合のボディーの不純物濃度とSOI膜の最適膜厚の関係を示すものである。参照符号43は、電源電圧が0.6Vの場合のボディーの不純物濃度とSOI膜の最適膜厚の関係を示すものである。

【0042】次に、OUT-HIGH及びOUT-LOWの両バイアス条件における定常状態を初期デバイス内部状態とする過渡伝達特性をそれぞれ解析することによって、過渡閾値電圧を計算した。なお、電源電圧を0.8Vとした場合を例にとった。

【0043】図6は、ボディーの不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ としたときのSOI膜の膜厚と過渡閾値電圧の関係を示すグラフである。参照符号51はOUT-HIGH状態の場合であり、参照符号52は、OUT-LOW状態の場合である。

電氣的特性である閾値が一致するところであり、その点が最適値である。また、最適なSOI膜の厚みでの過渡閾値電圧に対して $\pm 0.5\%$ のマージンをとった場合、およそ $\pm 0.005 \mu\text{m}$ のSOI膜の厚みのばらつきが許されることがわかる。

【0045】また、図7は、SOI膜の膜厚を $0.08 \mu\text{m}$ としたときの、ボディーの不純物濃度と過渡閾値電圧の関係を示すグラフである。参照符号53はOUT-HIGH状態の場合であり、参照符号54はOUT-LOW状態の場合である。

【0046】この図によれば、両方の線が交差する点が電氣的特性である閾値が一致するところであり、その点が最適値である。また、最適なボディーの不純物濃度での過渡閾値電圧に対して $\pm 0.5\%$ のマージンをとった場合、およそ $\pm 0.05 \times 10^{17} (= \pm 0.005 \times 10^{18}) / \text{cm}^3$ のボディーの不純物濃度のばらつきが許されることがわかる。

【0047】以上の事から、図1に示す半導体装置において、インバート遅延時間に見られる入力信号のデューティ・サイクル依存性の問題を解決できる最適なSOI膜3の膜厚、ボディー(SOI膜)の不純物濃度、電源電圧 V_{dd} は以下の通りである。

【0048】0.6Vの電源電圧を用いた場合は、SOI膜の厚さが $0.089 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(8 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.094 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(9 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.098 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.101 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1.1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.105 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1.2 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましい。

【0049】0.8Vの電源電圧を用いた場合は、SOI膜の厚さが $0.073 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(8 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.079 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(9 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.083 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.088 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1.1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の

【0044】この図によれば、両方の線が交差する点が最適な条件であり、そのときのSOI膜の厚さが $0.092 \pm 0.005 \mu\text{m}$ であり、ボディーの不純物濃度が $1.1 \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の

不純物濃度が $(1.2 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましい。

【0050】1.0Vの電源電圧を用いた場合は、SOI膜の厚さが $0.062 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(8 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.068 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(9 \pm 0.05) \times 10^{17} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.073 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.077 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1.1 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましく、また、SOI膜の厚さが $0.081 \pm 0.005 \mu\text{m}$ であり、SOI膜の不純物濃度が $(1.2 \pm 0.005) \times 10^{18} / \text{cm}^3$ であることが好ましい。

【0051】上記実施の形態によれば、バルクCMOSFET以上の短チャネル効果抑制の技術資産を必要とせず、バルクCMOSFETと同程度の電気特性の制御性が期待でき、一素子当りの面積及びゲート容量の増加を伴わず、ボディー浮遊操作の部分空乏型SOI-CMOSFETに特徴的なインバータ遅延時間に見られる入力信号のデューティ・サイクル依存性の問題を回避することができる。

【0052】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【0053】

【発明の効果】以上説明したように本発明によれば、SOI膜の膜厚、SOI膜の不純物濃度、電源電圧を調整することにより、OUT-HIGH (IN-LOW) 状態及びOUT-LOW (IN-HIGH) 状態の両バイアス条件における定常状態のボディー多数キャリアの総量がほぼ等しくなるように制御する。同制御によって、インバータ遅延時間に見られる入力信号のデューティ・サイクル依存性の問題が解消されることは、文献: Awei et al., "Minimizing Floating Body-Induced Threshold Voltage Variation in Partially Depleted SOI CMOS," IEEE Electron Device Lett., vol. 17, p. 391, Aug. 1996. に詳しく論じられている。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置を示す断面図である。

【図2】電源電圧を0.6Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

【図3】電源電圧を0.8Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態

について示すグラフである。

【図4】電源電圧を1.0Vとし、ボディーの不純物濃度を振った場合、SOI膜の膜厚 T_{SOI} とボディー部の多数キャリア量の関係をOUT-HIGH状態とOUT-LOW状態について示すグラフである。

【図5】図2～図4の結果を線形補間することによって得られた種々のボディーの不純物濃度及び電源電圧に対するSOI膜の厚みの最適値を示すグラフである。

【図6】SOI膜の膜厚と過渡閾値電圧の関係を示すグラフであって、参照符号51はOUT-HIGH状態の場合であり、参照符号52はOUT-LOW状態の場合である。

【図7】ボディーの不純物濃度と過渡閾値電圧の関係を示すグラフであって、参照符号53はOUT-HIGH状態の場合であり、参照符号54はOUT-LOW状態の場合である。

【符号の説明】

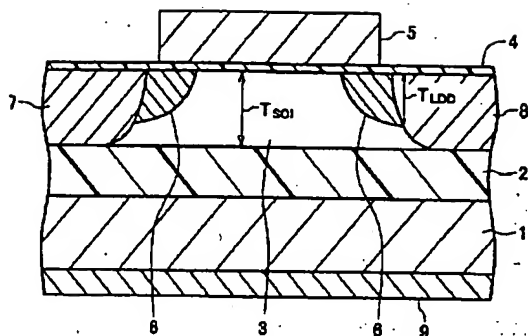
- 1…シリコン基板
- 2…BOX層(絶縁膜)
- 3…SOI膜
- 4…ゲート酸化膜
- 5…ゲート電極
- 6…低濃度の不純物拡散層
- 7, 8…ソース/ドレイン領域の拡散層
- 9…バックゲート電極
- 11, 21, 31…ボディー不純物濃度 $8 \times 10^{17} / \text{cm}^3$ 、OUT-HIGH状態
- 12, 22, 32…ボディー不純物濃度 $8 \times 10^{17} / \text{cm}^3$ 、OUT-LOW状態
- 13, 23, 33…ボディー不純物濃度 $9 \times 10^{17} / \text{cm}^3$ 、OUT-HIGH状態
- 14, 24, 34…ボディー不純物濃度 $9 \times 10^{17} / \text{cm}^3$ 、OUT-LOW状態
- 15, 25, 35…ボディー不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 、OUT-HIGH状態
- 16, 26, 36…ボディー不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 、OUT-LOW状態
- 17, 27, 37…ボディー不純物濃度 $1.1 \times 10^{18} / \text{cm}^3$ 、OUT-HIGH状態
- 18, 28, 38…ボディー不純物濃度 $1.1 \times 10^{18} / \text{cm}^3$ 、OUT-LOW状態
- 19, 29, 39…ボディー不純物濃度 $1.2 \times 10^{18} / \text{cm}^3$ 、OUT-HIGH状態
- 20, 30, 40…ボディー不純物濃度 $1.2 \times 10^{18} / \text{cm}^3$ 、OUT-LOW状態
- 41…電源電圧が1.0Vの場合のボディー不純物濃度とSOI膜の最適膜厚
- 42…電源電圧が0.8Vの場合のボディー不純物濃度とSOI膜の最適膜厚
- 43…電源電圧が0.6Vの場合のボディー不純物濃度とSOI膜の最適膜厚

参照符号53はOUT-HIGH状態の場合

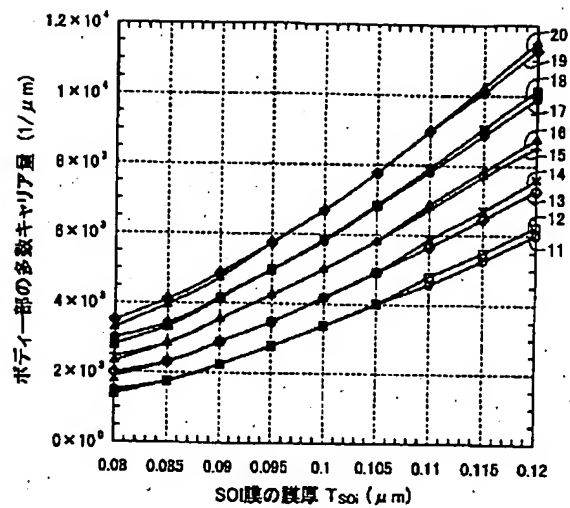
であり、SOI

52, 54...OUT-LOW状態の場合

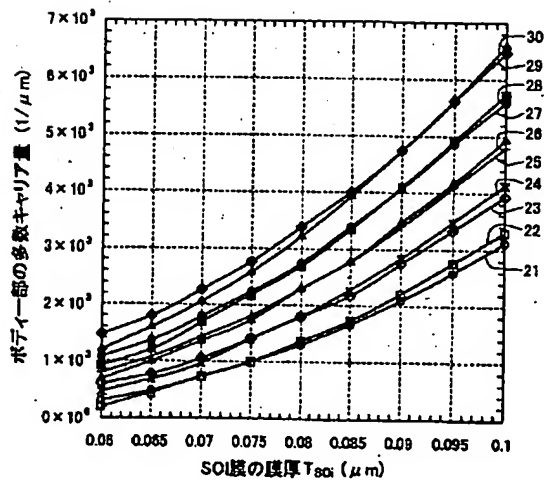
【図1】



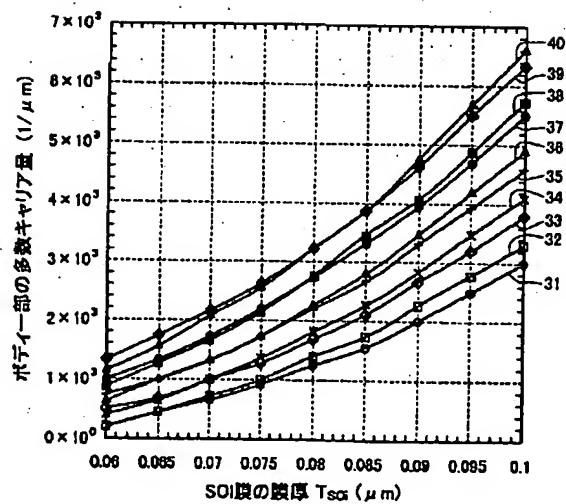
【図2】



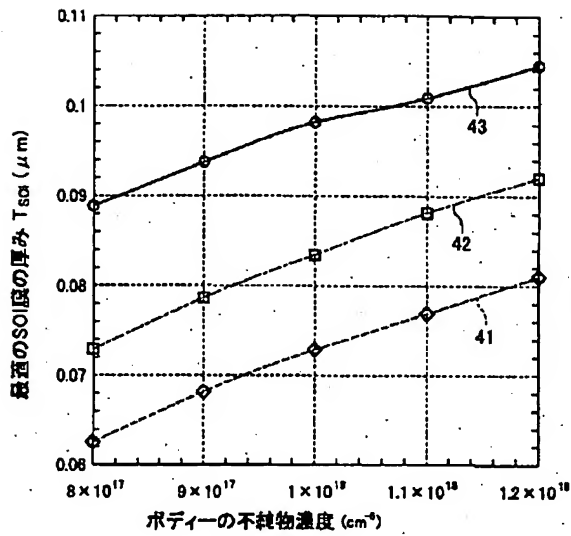
【図3】



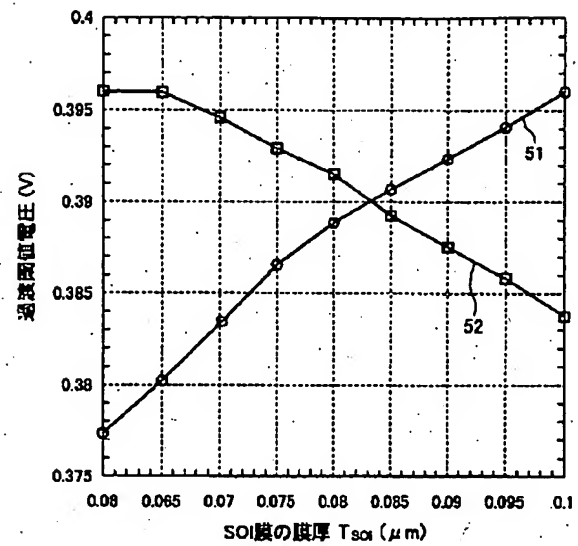
【図4】



【図5】



【図6】



【図7】

